

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2002 EPO. All rts. reserv.

3833779

Basic Patent (No,Kind,Date): JP 57100467 A2 820622 <No. of Patents: 002>

IC SUBSTRATE FOR ACTIVE MATRIX DISPLAY BODY (English)

Patent Assignee: SUWA SEIKOSHA KK

Author (Inventor): MOROZUMI SHINJI

IPC: *G09F-009/30; G02F-001/133; G09F-009/35

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date	
JP 57100467	A2	820622	JP 80176946	A	801215	(BASIC)
JP 90000708	B4	900109	JP 80176946	A	801215	

Priority Data (No,Kind,Date):

JP 80176946 A 801215

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭57—100467

⑬ Int. Cl.³

識別記号

庁内整理番号

⑭ 公開 昭和57年(1982)6月22日

G 09 F 9/30

7520—5C

G 02 F 1/133

7348—2H

G 09 F 9/35

7520—5C

発明の数 1

審査請求 未請求

(全 7 頁)

⑮ アクティブ・マトリックス表示体用 IC 基板

会社諏訪精工舎内

⑯ 出 願 人 株式会社諏訪精工舎

東京都中央区銀座 4 丁目 3 番 4

号

⑰ 特 願 昭55—176946

⑱ 出 願 昭55(1980)12月15日

⑲ 発 明 者 両角伸治

⑳ 代 理 人 弁理士 最上務

諏訪市大和 3 丁目 3 番 5 号株式

明 細 書

発明の名称

アクティブ・マトリックス表示体用 IC 基板

特許請求の範囲

- (1) データ線とゲート線のマトリックスにより構成されるアクティブ・マトリックス表示体用 IC 基板において、前記 IC 基板内にデータ線及びゲート線を駆動すべく、各々にシフトレジスタ列を含む周辺駆動回路が内蔵されており、前記シフトレジスタ列はクロック入力を直接スイッチング電源とするダイナミックシフトレジスタにより構成されることを特徴とするアクティブ・マトリックス表示体用 IC 基板。
- (2) ゲート線を駆動するシフトレジスタ列における前段から後段へのデータ転送はトランスファゲートを介して行ない、更に前記トランスファゲートを介した入力とクロック信号との間にブートストラップ容量を接続する構造のシフトレジスタを

用いたことを特徴とする特許請求の範囲第 1 項記載のアクティブ・マトリックス表示体用 IC 基板。

(3) ゲート線を駆動するシフトレジスタ列の各段はクロック信号により“0”電位にリフレッシュするトランジスタを備えていることを特徴とする特許請求の範囲第 2 項記載のアクティブ・マトリックス表示体用 IC 基板。

(4) データ線はサンプル・ホールドトランジスタを介して駆動され、シフトレジスタ列の各段の出力はブートストラップ動作により、クロック信号の振幅より過大な振幅の信号として前記サンプル・ホールド・トランジスタのゲートに印加することを特徴とする特許請求の範囲第 1 項記載のアクティブ・マトリックス用 IC 基板。

(5) データ線側の駆動回路に含まれるシフトレジスタ列は 4 相以上のクロックパルスにより動作することを特徴とする特許請求の範囲第 4 項記載のアクティブ・マトリックス用 IC 基板。

(6) シフトレジスタ列を含む周辺駆動回路は表示

部分をはさんで対照に複数個配列され、各入力
の接続の有無により複数個のうちの1個を選択する
ことを特徴とする特許請求の範囲第1項記載の
アクティブ・マトリックス表示体用IC基板。

(7) 周辺駆動回路を構成する複数のシフトレジ
スタ列のクロック入力は複数個の入力端子を備えて
いることを特徴とする特許請求の範囲第6項記載
のアクティブ・マトリックス用IC基板。

(8) データ線の駆動回路を構成するシフトレジ
スタ列は、非選択時にサンプル・ホールド・トラン
ジスタを強制的に高インピーダンス状態にするリ
セット・トランジスタを備えていることを特徴と
する特許請求の範囲第6項記載のアクティブ・マ
トリックス表示体用IC基板。

(9) ゲート線を駆動する複数のシフトレジスタ列
の各共通段の出力はゲート線を介して直接、接続
されていることを特徴とする特許請求の範囲第6
項記載のアクティブ・マトリックス表示体用IC
基板。

を選択する信号を各ゲート線 $G_1 \sim G_m$ に与え、
又その走査位置におけるデータを、横方向へ走査
して書き込むためにデータ線に送り込むための周
辺回路が必要となる。

ところが、この周辺回路と、このアクティブ・
マトリックス基板の接続は、 $(n+m)$ の2倍必
要となり、実際は400～800本用いかなり大
変でありコスト的にも高くつく。又周辺駆動回路
自体も通常消費電力を低減する意味でCMOS-
LSIが用いられるが、このために必要なチップ
数が10コ～20コで、やはり、アセンブルが大
変で、チップ自体のコストもかかり過ぎる。従っ
てこの周辺回路をIC基板に内蔵することが最も
よいが、下に挙げるような問題点がある。

(1) 外付の場合はCMOS技術が使えるが、一
般にマトリックスIC基板はNMOS、又はP-
MOSであり、普通に駆動回路を構成すると消
費電力が大きすぎて使いものにならない。又IC
基板をCMOSにすると、製造プロセスが複雑に
なりすぎる。

発明の詳細な説明

本発明は周辺駆動回路を内蔵したアクティブ・
マトリックス表示体用IC基板に関する。

従来アクティブ・マトリックス用IC基板は、
表示部分のみで構成され、マトリックスの駆動部
分はIC基板とボンディング等により接続された
外部のCMOS-ICチップにより構成されていた。
第1図はアクティブ・マトリックスの表示部
分を示し表示部分1は $(n \times m)$ コのセル2が配
列されている。各セルにはゲート線 G_1 とデー
タ線 D_1 が配線されており、この2つの信号線の交
点となるセルを選択してデータ線 D_1 からデー
タを各セルに書き込む。各セルはトランジスタ T_{11}
とデータ保持用の容量 C_{11} から構成されて、
駆動点 V_{11} から液晶等の表示体を駆動する。例
えばここにテレビの画面表示を行うとすると、テ
レビ用の映像信号が各タイミングに応じてデー
タ線から、その時の走査位置にあたるゲート線を
選択することにより各セルに順次データを写入
してゆく。このためには走査位置に合致したゲート線

(2) 駆動回路外付の場合には、分割されてい
るので歩留は問題ないが、内蔵すると歩留が100
%近くないと、駆動回路の一部の不良により、I
C基板全体が不良となる。

従って本発明の目的は、アクティブ・マトリ
ックス表示体用基板内に、NMOS又はPMOS
による極低消費電力の周辺駆動回路を高歩留り
で構成する方法を提供することにある。

本発明にて用いる周辺駆動回路はブートストラ
ップ回路を利用した静止電流0のクロック入力を
直接スイッチング電源とするダイナミックシフト
レジスタを中心に構成される。

第2図は本発明で用いるゲート線駆動の駆動回路
の一例である。シフトレジスタセル5は4つのト
ランジスタ7～10と1つのブートストラップ容
量6より構成される。クロックは ϕ_1 と ϕ_2 の2
相でありスタートパルスSP入力により"1"電
位が順次クロックに同期して転送してゆく。各シ
フトレジスタの出力 $D_1 \sim D_m$ がゲート線に入力
されて、この結果第3図に示す如く、順次各ゲ

ト組を選択してゆく。このシフトレジスタに要求されることは、テレビの走査の場合フレーム間波数 $1/60$ Hzであるので走査スピードが遅いので、通常のダイナミック動作ではむずかしいことと、ゲート線には数十pFの寄生容量があると同時に表示部のセル内のトランジスタを完全にONにするためにはデータ線の最大電圧にバックゲート効果を考慮したシキイ値を加えた分より更に大きな電圧を印加しなければならないことである。このため、シフトレジスタ入力には入力トランスファゲートトランジスタ7を用いて、 $T_1 \sim T_m$ に一掃してからブートストラップ容量により、 $D_1 \sim D_m$ に“1”を書き込む。もしこのトランスファゲートを用いないと、 D_1 と T_1 、 D_2 と T_2 、……と短絡され、ブートストラップ容量をゲート線容量0.6よりずっと大きくする必要があり、パターンが大きくなって、歩留りを低下させる。又 $D_1 \sim D_m$ の“1”に書き込まれた後“0”に放電するためにはトランジスタ10に T_1 を接続するのみでよいが、このシフトレジスタが低周

波であることを考慮する必要がある。このために、シフトレジスタのクロックは2相でなく4相以上を用いるのがよい。同一の伝送率で同一のビット数を確保するためにはクロックが2相から4相になればクロックラインφ₁、φ₂で消費する電力は半分になる。又8相になればその半分となる。このシフトレジスタはmビット中1ビットしか“1”になっていないのでクロック以外での電力消費は少ない。従って本方式の採用により、周辺駆動回路はモノチャネル構成にもかかわらずOMOB並の低電力とすることが可能である。シフトレジスタの出力 $S_1 \sim S_m$ はサンプルホールドトランジスタ $H_1 \sim H_m$ に入力されるのみでここに寄生する容量はそう大きくない。従って $S_1 \sim S_m$ に直接小面積で構成されるブートストラップ容量16を接続することが可能となる。サンプル・ホールドトランジスタ20～23はかなりの高速スイッチングが要求されるが、そのゲート入力にはブートストラップ動作により、第5図に示す如くクロック信号の2倍近い振幅で印加されるので、非

波で動作する場合、わずかのリークに対しても動作不良となるので、歩留りを向上させ、動作を安定化させるために電位固定トランジスタ9を追加して、クロックの半周期毎に“0”レベルにリフレッシュしてやる。

第4図は本発明によるデータ線側の駆動回路の一例である。シフトレジスタセル14はブートストラップ容量16と動作に必要なトランジスタ17、18と後述するシフトレジスタ選択のためのリセットトランジスタ19により構成され、初段へは入力ゲート15を介してスタートパルスSPを印加する。又各シフトレジスタ出力 $S_1 \sim S_m$ はサンプルホールドトランジスタ $H_1 \sim H_m$ に入力され、走査信号に同期してビデオ入力V.S.（映像信号又はデータ書き込み信号）をデータ線に寄生する容量 $0D_1 \sim 0D_m$ にサンプルホールドさせる。データ線側駆動回路は一走査線内で全ての処理を行うため高速であり、リーク電流の考慮は余りなくてよいが、逆に高速動作を確保することと、高速のために増大する消費電力を抑え

常に高速でスイッチングできるという利点がある。

第6図はこれらを実際にアクティブ・マトリクス基板に配置した場合を示している。データ線シフトレジスタ35、36と及び最終段の解調信号を形成するダミーセル37、38とサンプルホールド用トランジスタ $H_1 \sim H_m$ があり上下対照に配列される。又ゲート線シフトレジスタ31、32とダミー33、34は左右対照に配列される。本来周辺回路は両側対照でなく、片方のみでよいが、歩留を考慮してシフトレジスタ列を複数用意する。当然4列でも、8列でもよいが、ここでは2列の例を示す。更に各入力部は、フローティング防止のため、図には示していないがプルダウン又はプルアップ抵抗が接続されており、入力をオープンにしても電気的には一定のポテンシャルに保たれるようにする。

本発明に用いる周辺駆動回路は更に歩留り改善のため、シフトレジスタに不良が発生した場合は修正を実行し不良ビットの切り捨てや、一方のシ

フトレジスタを殺すことを実行して、実効的歩留を確保するように工夫してある。

まずデータ側の駆動回路中のシフトレジスタは歩留りは50%以上の場合上下どちらかのシフトレジスタ(35 or 36)は必ず動作するので動作する方のシフトレジスタに入力するクロック入力 $\phi_1 \sim \phi_n$ のバッドのみに、クロック信号を接続する。又クロック入力は左右どちらでもよいが途中で断線している場合は両側から入力する。又スタートパルス入力も接続するが、リセット入力はオープンでよい。又動作させない方のシフトレジスタはクロック入力とスタートパルス入力をオープンにするとプルダウン抵抗により基板と同電位となりシフトレジスタは全く動作しないと共に全く電流は消費しない。このクロックを直接スイッチング電源とするシフトレジスタは、定電源を全いていないので、単にクロックを配線しないだけで電力消費を0にできるという大きな特徴がある。又同時にリセット入力を"1"として各シフトレジスタ出力 $S_1 \sim S_m$ を"0"としてサン

タイミング側のシフトレジスタは各ビットの出力同士が直接接続されているので、不良ビットが同一位置、又はその互いに前後2段以内にある場合を除いて、両側のシフトレジスタに不良ビットが存在しても、完全に修正可能である。第6図において、右又は左側のシフトレジスタが少なくともどちらか一方が完全に動作するならば、動作させる方にはクロック ϕ_1, ϕ_2, ϕ_3 とスタートパルス $S \text{ or } \bar{S}$ を接続し、又動作させない方のシフトレジスタのクロック、スタートパルス入力はオープンにすると、プルダウン抵抗により自動的に基板と同一電位となり、動作させない方のシフトレジスタの出力は高インピーダンスの状態に保たれる。この結果単に入力の接続のみで、シフトレジスタの選択が可能である。もし両方のシフトレジスタに不良がある場合、例えば第8図の如く不良ビットが52, 53, 54の如く存在すると、まず左側のシフトレジスタ50から入力して不良ビットの2ビット手前から(帰還用の信号が必要なので)右側へ移し、又不良ビット53の2ビット手

ルホールドトランジスタ $H_1 \sim H_m$ をOFFとして動作する $D_1 \sim D_m$ に影響を与えないようにする。この方法はシフトレジスタ内にリセット機能を取らずに、第7図に示すようにサンプルホールドトランジスタ H_1 とデータ線 D_1 の間にビデオ信号 $V.S$ (データ書き込み信号)から無条件に高インピーダンスにするサンプルホールド・バイネイブル信号 $S.H.E.M$ によりスイッチングされるトランジスタ42を用いてもよい。

第6図の配置において、もしサンプルホールドトランジスタが不良の場合は、その不良トランジスタのデータ線とトランジスタのA₂端をレーザにより切断し、切り離されたトランジスタ側のシフトレジスタは動作停止にしておく。又 m 本のうちのいずれかのデータ線が途中で断線していた場合は、両側のシフトレジスタを並列動作させる。但し消費電力がその分増加するので、断線している部分のみ動作させて必要外のビットはクロックライン $\phi_1 \sim \phi_n$ の途中をレーザにより切断しておくのもよい。

前から又左へ移し同様に更に不良ビット54から右へ移すというように自在にできる。これはレーザを用いて単に移す位置で配線を切断するだけで事足りる。もし不良ビットの出力がリークしている場合(リークにより不良の場合)、それがシフトレジスタ自身のリークであればゲート線とシフトレジスタを切り離せばよい。又ゲート線が途中で断線している場合は、そのゲート線の両側のシフトレジスタは同時に並列に動作させる。又クロックラインが不良の場合は、不良の部分を取り離して両側のクロックラインからドライブしてもよい。このようにタイミング側のシフトレジスタは特殊な不良の発生を除けば、もし両方のシフトレジスタに不良があっても90%以上の割合で修復可能である。

本発明に用いるシフトレジスタは、極低消費電力と、高歩留りを特徴とするものである。シフトレジスタは、電源をクロック入力として直接スイッチングすることにより、CMOSの如く常に定常バイアスを印加することと異なり僅少なリーク

による静止電流は少なく、又ブートストラップによるダイナミック方式の採用により、1ビット当りの素子数は5トランジスタ(CMOSは10)と少ないので動作電力も少なく、合計してCMOSタイプよりむしろ、全体の消費電力はぐっと少なく、例えばクロック振幅10Vの時にデータ側は1μH×4相クロック、200ビットで約0.3mA、タイミング側は16KH₂で0.02mAである。又この方式のシフトレジスタはブートストラップ動作により高速動作を保證してくれる。又回路が簡単なことにより、シフトレジスタの初期歩留は高く、画素セル200×200=4万個の良品率が50%の時、シフトレジスタ1系列当り70%であり、両側のどちらかの選択をして90%、前述の修正を実行して99%の良品率であり、内蔵することによる歩留りの低下を完全に防止できた。この結果、アクティブ・マトリックス用IC基板内に周辺駆動回路を完全に内蔵化が可能となり、その平均ボンディング数は平均25本となり、大幅な生産性の向上とコストの低下を可能

とした効果は大きい。

図面の簡単な説明

第1図は従来の表示用アクティブ・マトリックス用IC基板の構成を示し、第2図、第4図は本発明に用いる周辺駆動回路の1例、第3図、第5図はその動作を示す。第6図は本発明による周辺駆動回路を内蔵したアクティブ・マトリックス用IC基板の構成例、第7図はサンプルホールド回路の他の構成例、第8図はタイミング側シフトレジスタの修正方法を示す。

G₁ ~ G_n ... ゲート線

D₁ ~ D_m ... データ線

V_S ... ビデオ信号

φ₁ ~ φ₄ , φ₁₀ ~ φ₁₆ ... クロック

SP, SPG ... スタートパルス

O₁, O₂ ... シフトレジスタ出力

H₁ ~ H_m ... サンプルホールド・トランジスタ

31, 32, 35, 36 ... シフトレジスタ

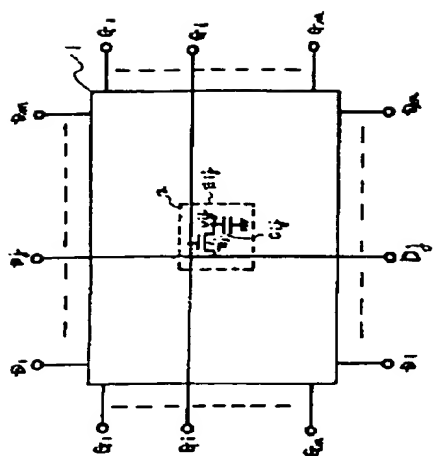
33, 34, 37, 38 ... シフトレジスタ
ミセル

以上

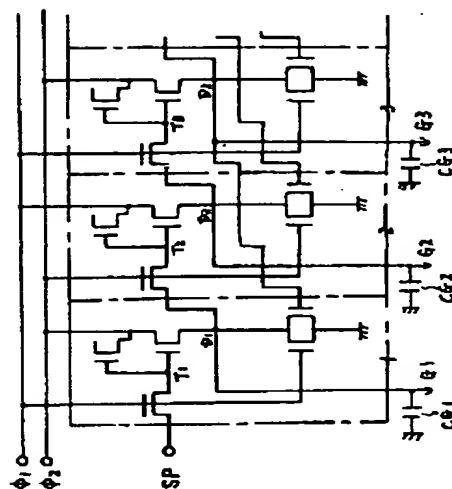
出願人 株式会社 京紡精工

代理人 弁理士 殿上

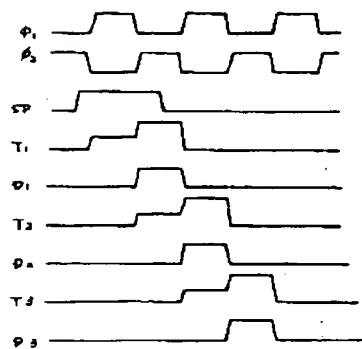




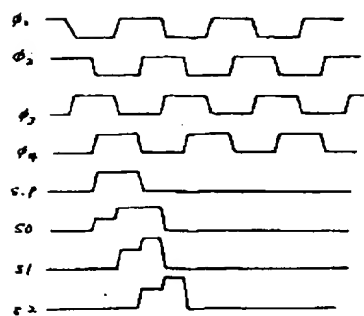
第 1 图



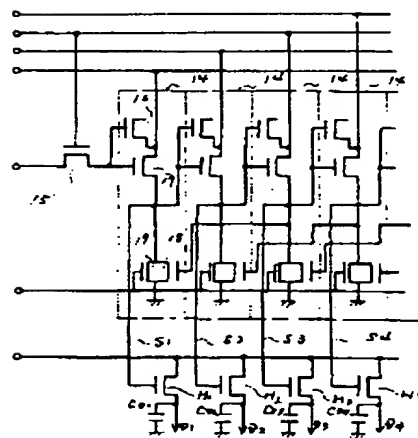
第 2 图



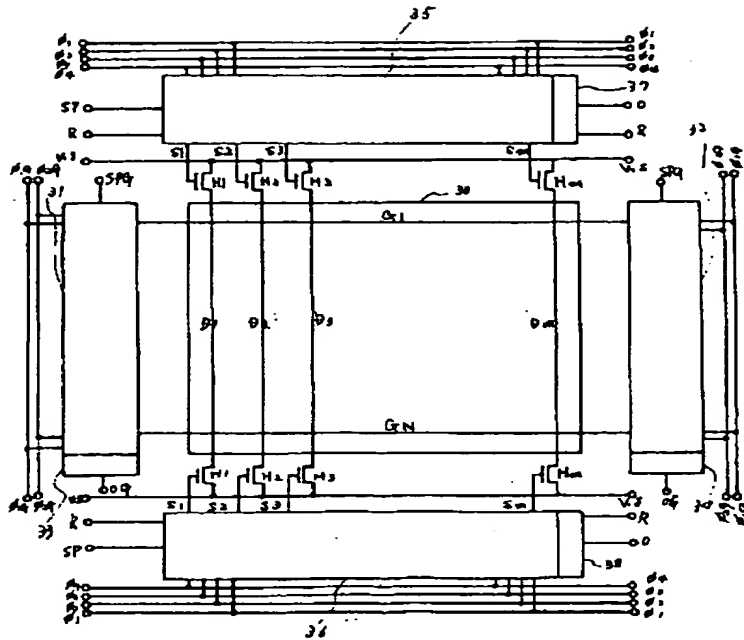
第 3 图



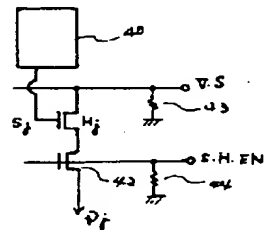
第 5 图



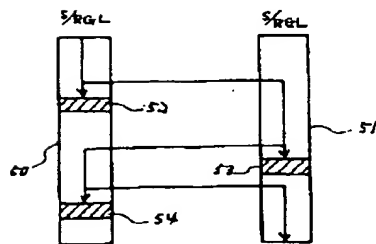
第 4 图



第 6 図



第 7 図



第 8 図